

DIFFERENTIAL AMPLIFIER, SEMICONDUCTOR DEVICE, POWER SOURCE CIRCUIT AND ELECTRONIC EQUIPMENT USING THE SAME

Patent number: JP2001284988
Publication date: 2001-10-12
Inventor: TSUCHIYA MASAHIKO
Applicant: SEIKO EPSON CORP
Classification:
 - international: H03F3/45; H03F3/345
 - european:
Application number: JP20000098918 20000331
Priority number(s):

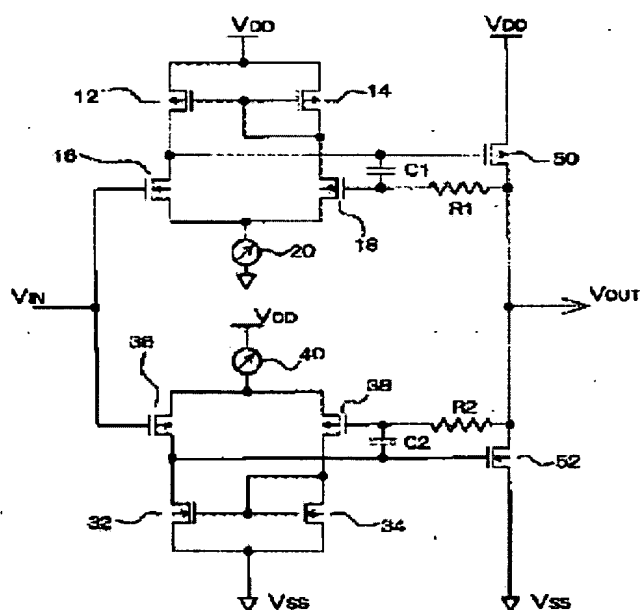
Also published as:

EP1150423 (A2)
 US2001035789 (A)
 EP1150423 (A3)

Abstract of JP2001284988

PROBLEM TO BE SOLVED: To provide a differential amplifier capable of providing a prescribed output without providing offset in an input voltage.

SOLUTION: The differential amplifier composed of N type transistors 16 and 18 is provided with the current mirror circuit of P type transistors 12 and 14. Then, it is driven by V_{in} and the output is inputted to a P type output transistor 50. The differential amplifier composed of P type transistors 36 and 38 is provided with the current mirror circuit of N type transistors 32 and 34 and similarly driven by V_{in} . The output is inputted to an N type output transistor 52. Namely, V_{in} becomes the totem pole input of both differential amplifiers. The transistors 50 and 52 form a



CMOS output amplifier and outputs Vout. Two sets of transistors 16 and 18 and transistors 36 and 38 comprising the differential amplifiers have different sizes respectively and ability differences. Both the differential amplifiers have C1 and C2 for vibration prevention and resistor R1 and R2 for static electricity protection respectively.

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2001-284988
(P2001-284988A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 3 F 3/45		H 0 3 F 3/45	A 5 J 0 6 6
3/345		3/345	B 5 J 0 9 1
			B

審査請求 有 請求項の数 9 O L (全 10 頁)

(21) 出願番号	特願2000-98918 (P2000-98918)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿 2 丁目 4 番 1 号
(22) 出願日	平成12年 3 月 31 日 (2000. 3. 31)	(72) 発明者	土屋 雅彦 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
		(74) 代理人	100090479 弁理士 井上 一 (外 2 名)

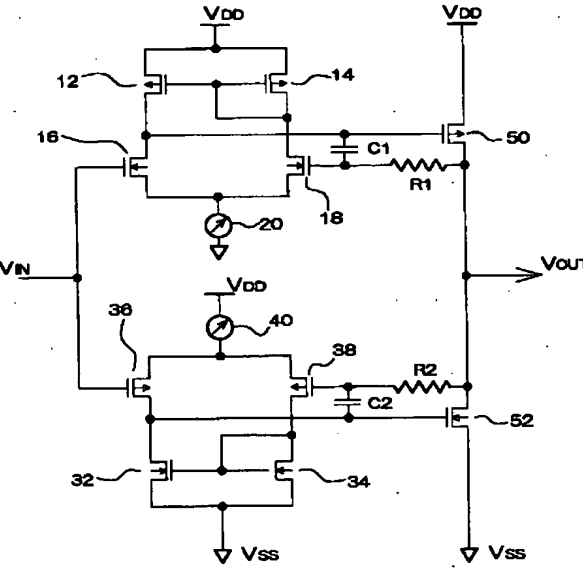
最終頁に続く

(54) 【発明の名称】 差動増幅装置、半導体装置、電源回路及びそれを用いた電子機器

(57) 【要約】 (修正有)

【課題】 入力電圧にオフセットを設けずに所定の出力が得られる差動増巾器を提供する。

【解決手段】 N 型トランジスタ 1 6 及び 1 8 で構成する差動増巾器は、P 型トランジスタ 1 2 及び 1 4 のカレントミラー回路を含んでいる。そして V_{in} により駆動され、その出力は P 型出力トランジスタ 5 0 に入力される。P 型トランジスタ 3 6 及び 3 8 で構成する差動増巾器は N 型トランジスタ 3 2 及び 3 4 のカレントミラー回路を含んでおり、そして同じく V_{in} により駆動され、その出力は N 型出力トランジスタ 5 2 に入力される。即ち V_{in} は上述の両差動増巾器のトータムポール入力となる。トランジスタ 5 0 及び 5 2 は CMOS 出力増巾器を形成し、 V_{out} を出力する。差動増巾器を構成する 2 組のトランジスタ 1 6, 1 8 および 3 6, 3 8 はそれぞれサイズが異なり、能力差を有する。両差動増巾器とも、それぞれ反振防止用の C_1, C_2 と静電気保護用抵抗 R_1, R_2 を有する。



1

【特許請求の範囲】

【請求項 1】 第 1 の第 1 導電型トランジスタと、前記第 1 の第 1 導電型トランジスタと共にカレントミラー回路を構成する第 2 の第 1 導電型トランジスタとを含み、入力電圧に基づいて動作する第 1 の差動増幅回路と、第 1 の第 2 導電型トランジスタと、前記第 1 の第 2 導電型トランジスタと共にカレントミラー回路を構成する第 2 の第 2 導電型トランジスタとを含み、前記入力電圧に基づいて動作する第 2 の差動増幅回路と、前記第 1 の差動増幅器からの第 1 の信号に基づいて動作する第 3 の第 1 導電型トランジスタと、前記第 3 の第 1 導電型トランジスタと直列接続され、前記第 2 の差動増幅回路からの第 2 の信号に基づいて動作する第 3 の第 2 導電型トランジスタと、を有し、前記第 3 の第 1 導電型トランジスタと前記第 3 の第 2 導電型トランジスタとの間の電圧を出力電圧とする差動増幅装置であって、前記第 1 の差動増幅回路は、前記第 1 の第 1 導電型トランジスタと直列に接続される第 4 の第 2 導電型トランジスタと、前記第 2 の第 1 導電型トランジスタと直列に接続され、前記第 4 の第 2 導電型トランジスタとは能力の異なる第 5 の第 2 導電型トランジスタと、を有することを特徴とする差動増幅装置。

【請求項 2】 請求項 1 において、前記第 1 の差動増幅回路では、前記第 5 の第 2 導電型トランジスタの能力が前記第 4 の第 2 導電型トランジスタよりも大きく設定されていることを特徴とする差動増幅装置。

【請求項 3】 請求項 1 において、前記第 2 の差動増幅回路は、前記第 1 の第 2 導電型トランジスタと直列に接続される第 4 の第 1 導電型トランジスタと、前記第 2 の第 2 導電型トランジスタと直列に接続され、前記第 4 の第 1 導電型トランジスタとは能力の異なる第 5 の第 1 導電型トランジスタと、を有することを特徴とする差動増幅装置。

【請求項 4】 請求項 3 において、前記第 2 の差動増幅回路では、前記第 5 の第 1 導電型トランジスタの能力が前記第 4 の第 1 導電型トランジスタよりも大きく設定されていることを特徴とする差動増幅装置。

【請求項 5】 請求項 1 乃至 4 のいずれかに記載の差動増幅装置を有することを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 4 のいずれかに記載の差動増幅装置を有することを特徴とする電源回路。

【請求項 7】 請求項 6 に記載の電源回路を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】本発明は、2 組の差動増幅回路を有する差動増幅装置、半導体装置、電源回路及びそれを用いた電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】図 7 に、従来の差動増幅装置を示し、2 組の第 1、第 2 の差動増幅回路 200、210 を有する。第 1、第 2 の差動増幅回路 200、210 には、抵抗分割回路 220 にて設定されるオフセットのある第 1、第 2 の入力電圧 V_{IN1} 、 V_{IN2} がそれぞれ入力される。第 1 の差動増幅回路 200 の後段には、第 1 の差動増幅回路 200 からの第 1 の信号 $S1$ によって駆動される P 型 MOS トランジスタ 202 が設けられている。同様に、第 2 の差動増幅回路 210 の後段には、第 2 の差動増幅回路 210 からの第 2 の信号 $S2$ によって駆動される N 型 MOS トランジスタ 212 が設けられている。これら P 型 MOS トランジスタ 202 及び N 型 MOS トランジスタ 212 が引き合うことで、出力電圧 V_{OUT} が定まるようになっている。

【0003】このように、従来の差動増幅装置では、入力電圧にオフセットをつけることで所定の出力電圧 V_{OUT} を生成するようにしていた。

【0004】ところで、図 7 に示す抵抗分割回路 220 に印加される電源電圧 V_{DD} の値を変更した場合には、第 1、第 2 の入力電圧 V_{IN1} 、 V_{IN2} のオフセットの大きさも変わってしまう。例えば、電源電圧 V_{DD} を 5 V としたときのオフセットを 0.1 V とした時、電源電圧 V_{DD} を 10 V と大きくしたときにはオフセットは 0.2 V と 2 倍となる。逆に、電源電圧 V_{DD} を 2.5 V と大きくしたときにはオフセットは 0.05 V と 1/2 倍となる。

【0005】ここで、第 1、第 2 の入力電圧 V_{IN1} 、 V_{IN2} 間のオフセットが小さいほど、図 7 に示す P 型 MOS トランジスタ 202 及び N 型 MOS トランジスタ 212 に流れる電流が増えて消費電流が大きくなる。従って、図 7 に示す従来装置では、電源電圧 V_{DD} が低い時に、消費電力が大きくなるという問題があった。一方電源電圧 V_{DD} が高い時には、オフセットが大きくなるので、図 8 に示す出力電圧の振れが大きくなるという欠点が生ずる。

【0006】このため、図 7 に示す従来の差動増幅装置は、電源電圧 V_{DD} を変更する範囲に自ずから制限があり、汎用性が低いという問題も生ずる。

【0007】そこで、本発明の目的とするところは、入力電圧にオフセットを設けずに所定の出力電圧を生成することができる差動増幅装置、半導体装置、電源回路及びそれを用いた電子機器。

【0008】本発明の他の目的は、電源電圧を変更しても、消費電力の増大と出力電圧の振れの増大とを低減できる汎用性の高い差動増幅装置、半導体装置、電源回路及びそれを用いた電子機器を提供することにある。

【0009】

3

【課題を解決するための手段】本発明は、第1の第1導電型トランジスタと、前記第1の第1導電型トランジスタと共にカレントミラー回路を構成する第2の第1導電型トランジスタとを含み、入力電圧に基づいて動作する第1の差動増幅回路と、第1の第2導電型トランジスタと、前記第1の第2導電型トランジスタと共にカレントミラー回路を構成する第2の第2導電型トランジスタとを含み、前記入力電圧に基づいて動作する第2の差動増幅回路と、前記第1の差動増幅器からの第1の信号に基づいて動作する第3の第1導電型トランジスタと、前記第3の第1導電型トランジスタと直列接続され、前記第2の差動増幅回路からの第2の信号に基づいて動作する第3の第2導電型トランジスタと、を有し、前記第3の第1導電型トランジスタと前記第3の第2導電型トランジスタとの間の電圧を出力電圧とする差動増幅装置であって、前記第1の差動増幅回路は、前記第1の第1導電型トランジスタと直列に接続される第4の第2導電型トランジスタと、前記第2の第1導電型トランジスタと直列に接続され、前記第4の第2導電型トランジスタとは能力の異なる第5の第2導電型トランジスタと、を有することを特徴とする。

【0010】第1の差動増幅回路では、差動対を構成する第4、第5の第2導電型トランジスタ間に能力差がある。このため、第1、第2の差動増幅回路の入力電圧にオフセットを設けなくても、作動対を構成するトランジスタ間に能力差のない第2の差動増幅回路からの出力電圧に対してオフセットのある出力電圧を第1の差動増幅回路にて生成でき、結果として入力電圧間にオフセットのある場合と同様に動作させることができる。

【0011】しかも、入力電圧間にオフセットがないため、入力電圧を設定する回路の電源電圧を変更しても、入力電圧間のオフセットのばらつきに伴う従来の問題が生ずることがない。

【0012】ここで、第1の差動増幅回路では、第5の第2導電型トランジスタの能力が第4の第2導電型トランジスタよりも大きく設定される。

【0013】さらに、第1の差動増幅回路と同様に、第2の差動増幅回路は、前記第1の第2導電型トランジスタと直列に接続される第4の第1導電型トランジスタと、前記第2の第2導電型トランジスタと直列に接続され、前記第4の第1導電型トランジスタとは能力の異なる第5の第1導電型トランジスタとを有することができる。こうしても、第1、第2の差動増幅回路の出力電圧間にオフセットを生じさせることができるからである。

【0014】この場合は、第2の差動増幅回路では、第5の第1導電型トランジスタの能力が前記第4の第1導電型トランジスタよりも大きく設定される。

【0015】なお、トランジスタ間に能力差をつけるには、サイズを変更すれば良く、チャンネル幅を大きくすれば能力は大きくなり、チャンネル長を大きくすれば能力は

4

小さくなる。

【0016】本発明の他の態様によれば、上述した差動増幅装置を少なくとも含んで1チップの半導体装置を構成できる。

【0017】このような差動増幅装置を少なくとも一つ含んで電源回路を構成することもでき、あるいはその電源回路を含んだ電子機器を構成することもできる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0019】＜第1の実施の形態＞本発明の一実施の形態に係る差動増幅装置の構成及び動作について、図1～図4を参照して説明する。

【0020】（差動増幅装置の構成）図1は、本実施の形態に係る差動増幅装置の回路図である。この差動増幅装置は、共通入力電圧 V_{IN} に基づいて動作するボルテージフォロア型の第1の差動増幅回路10と、共通入力電圧 V_{IN} に基づいて動作するボルテージフォロア型の第2の差動増幅回路30とを有する。

【0021】第1の差動増幅回路10は、図2に示すように、第1導電型例えばP型のMOSトランジスタ（第1のP型トランジスタ）12と、P型MOSトランジスタ12と共にカレントミラーを構成するP型MOSトランジスタ（第2のP型トランジスタ）14とを含む。これらP型MOSトランジスタ12、14は、サイズが同一で同一能力を有するため、カレントミラー回路を構成する。一例として、P型MOSトランジスタ12、14は、そのチャンネル幅 w が $50\mu m$ であり、チャンネル長 L が $7\mu m$ である。

【0022】第2の差動増幅回路30は、第2導電型例えばN型のMOSトランジスタ（第1のN型トランジスタ）32と、N型MOSトランジスタ32と共にカレントミラーを構成するN型MOSトランジスタ（第2のN型トランジスタ）34とを含む。これらN型MOSトランジスタ32、34も、サイズが同一で同一能力を有するため、カレントミラー回路を構成する。一例として、N型MOSトランジスタ32、34は、そのチャンネル幅 W は $25\mu m$ であり、チャンネル長 L は $7\mu m$ である。

【0023】第1の差動増幅回路10はさらに、電源電圧 V_{DD} 、 V_{SS} の間にて、P型MOSトランジスタ12に直列接続されたN型MOSトランジスタ16（第4のN型トランジスタ）と、電源電圧 V_{DD} 、 V_{SS} 間にてP型MOSトランジスタ14に直列接続されたN型MOSトランジスタ18（第5のN型トランジスタ）とを有する。なお、N型MOSトランジスタ16、18は定電流源20を介して電源電圧 V_{SS} と接続されている。

【0024】N型MOSトランジスタ16、18は、サイズが異なることで能力差を有する。一例として、N型MOSトランジスタ16、18は、チャンネル長 L は $7\mu m$ と共通するが、N型MOSトランジスタ16のチャネ

5

ル幅 W は $25\mu\text{m}$ であるのに対して、N型MOSトランジスタ18のチャネル幅 W は $28\mu\text{m}$ となっている。すなわち、N型MOSトランジスタ18の方がN型MOSトランジスタ16よりも能力が大きい。N型MOSトランジスタ18の能力をN型MOSトランジスタ16よりも大きくするために、N型MOSトランジスタ18のゲート長をN型MOSトランジスタ16よりも小さくしても良い。

【0025】第2の差動増幅回路30も同様に、電源電圧 V_{DD} 、 V_{SS} 間にてN型MOSトランジスタ32に直列接続されたP型MOSトランジスタ36（第4のP型トランジスタ）と、電源電圧 V_{DD} 、 V_{SS} 間にてN型MOSトランジスタ34に直列接続されたP型MOSトランジスタ38（第5のP型トランジスタ）とを、負荷として有する。なお、P型MOSトランジスタ36、38は定電流源40を介して電源電圧 V_{DD} と接続されている。

【0026】これらP型MOSトランジスタ36、38も、サイズが異なるため能力差を有する。一例として、P型MOSトランジスタ36、38は、チャネル長 L は $7\mu\text{m}$ と共通するが、P型MOSトランジスタ36のチャネル幅 W は $50\mu\text{m}$ であるのに対して、P型MOSトランジスタ18のチャネル幅 W は $55\mu\text{m}$ となっている。すなわち、P型MOSトランジスタ38の方がP型MOSトランジスタ36よりも能力が大きい。P型MOSトランジスタ38の能力をP型MOSトランジスタ36よりも大きくするために、P型MOSトランジスタ38のゲート長をP型MOSトランジスタ36よりも小さくしても良い。

【0027】図1及び図2に示すように、第1の差動増幅器10からの第1の信号 S_1 に基づいて動作するP型MOSトランジスタ（第3のP型トランジスタ）50と、第2の差動増幅器30からの第2の信号 S_2 に基づいて動作するN型MOSトランジスタ（第3のN型トランジスタ）52とが設けられている。

【0028】これらP型MOSトランジスタ50とN型MOSトランジスタ52とは、電源電圧 V_{DD} 、 V_{SS} 間にて直列に接続され、P型MOSトランジスタ50とN型MOSトランジスタ52との間の電圧が、差動増幅装置の出力電圧 V_{OUT} となる。

【0029】また、図2に示すように、第1、第2の増幅回路10、30には、発振防止用容量 C_1 、 C_2 と、静電気保護用抵抗 R_1 、 R_2 とが設けられている。

【0030】（差動増幅装置の動作）図7に示すように、第1、第2の入力電圧 V_{IN1} 、 V_{IN2} に基づいて動作する従来の差動増幅装置の出力電圧 V_{OUT} は、安定状態にあつては、図8に示すように、中間電圧 $(V_{IN1}-V_{IN2})/2$ で安定するか、あるいはその中間電圧を境に電圧 V_{IN1} と電圧 V_{IN2} との間で振れる電圧となる。

【0031】本実施の形態の差動増幅装置は、共通入力

6

電圧 V_{IN} を第1、第2の差動増幅回路10、30に入力させる一方で、この第1、第2の差動増幅回路10、30の作動対を構成する2つのトランジスタ16、18間及び36、38間にそれぞれ能力差をつけている。これにより、第1の差動増幅回路10側では第1の出力電圧 V_{OUT1} を出力電圧 V_{OUT} とするように動作し、第2の差動増幅回路30側では第2の出力電圧 V_{OUT2} を出力電圧 V_{OUT} とするように動作する。

【0032】実際には、第1、第2の差動増幅回路10、30の出力線はショートされているため、差動増幅装置の出力 V_{OUT} として、図3に示すように、その中間電圧 $|V_{OUT1}-V_{OUT2}|/2$ で安定する（入力電圧 V_{IN} と同じ）か、あるいはその中間電圧を境に第1の出力電圧 V_{OUT1} と第2の出力電圧 V_{OUT2} との間で振れる電圧となる。

【0033】このように、本実施の形態の差動増幅装置によれば、共通入力電圧を第1、第2の差動増幅回路10、30に入力させながらも、2種の入力電圧を入力させる従来の差動増幅装置と同様な出力を得ることができる。

【0034】ここで、第1の差動増幅回路10では、入力電圧 V_{IN} よりも低い出力電圧 V_{OUT1} を出力させるように、P型トランジスタ50のゲート電圧が制御される。第1の差動増幅回路30では、入力電圧 V_{IN} よりも高い出力電圧 V_{OUT2} を出力させるように、N型トランジスタ52のゲート電圧が制御される。

【0035】このような制御動作について、以下に説明する。まず、第1の差動増幅回路10では、カレントミラー回路を構成するP型MOSトランジスタ12、14は能力が同じであるため、第1の差動増幅回路10が安定するとき、N型MOSトランジスタ16、18に流れる電流は同じとなる。

【0036】ここでもし2つのN型トランジスタ16、18の能力が同じであるときを考えると、このときの第1の差動増幅回路10の出力電圧は、入力電圧 V_{IN} に等しく、そのときのP型MOSトランジスタ50のゲート電位を V_1 とする。

【0037】本実施の形態では、2つのN型トランジスタ16、18間には能力差があり、N型MOSトランジスタ18の能力がN型MOSトランジスタ16よりも高くなっている。

【0038】従って、N型MOSトランジスタ16、18に同一電流が流れる安定時にあつては、N型MOSトランジスタ18のゲートソース間電圧は、N型MOSトランジスタ16のゲートソース間電圧よりも低くて済む。

【0039】このため、もし第1、第2の差動増幅回路10、30の出力同士がショートされていなければ、第1の差動増幅回路10の出力電圧 V_{OUT1} は入力電圧 V_{IN} よりも低くなる。

【0040】しかし実際には、第1、第2の差動増幅回路10、30の出力同士がショートされているので、N型MOSトランジスタ16、18に同一電流が流れる安定時にあっては、N型MOSトランジスタ16、18のゲートソース間電圧は共に等しくなる。このとき、N型MOSトランジスタ18の方が電流を多く流す能力があるにも拘わらず、N型MOSトランジスタ16、18には同一電流が流れる。このため、P型MOSトランジスタ12、14のゲート電位が上述のゲート電位V1よりも低くなり、電位的にはP型MOSトランジスタ50のゲート電位が上述の電位V1よりも高くなる。

【0041】従って、P型MOSトランジスタ50のゲートソース間電圧が低くなり、P型MOSトランジスタ50に流れる電流が減少して低消費となる。

【0042】一方、第2の差動増幅回路30においても、同様の理由により、N型MOSトランジスタ52のゲートソース間電圧が低くなり、N型MOSトランジスタ52に流れる電流が減少して低消費となる。結果として、図2の電源電圧VDDからP型MOSトランジスタ50、N型MOSトランジスタ52を介して電源電圧VSS側に流れる電流を少なくすることができる。

【0043】以上のことにより、本実施の形態では入力電圧をオフセットさせなくても、図7に示す従来の差動増幅回路の出力電圧V_{OUT}と同じ電圧を出力させることができ、しかも低消費電力を実現できる。

【0044】＜第2の実施の形態＞この第2の実施の形態では、第1の差動増幅回路10のN型MOSトランジスタ16とN型MOSトランジスタ18との間のみ能力差をつけ、第2の差動増幅回路20のP型MOSトランジスタ36及びP型MOSトランジスタ38間に能力差を設けずに、トランジスタ36、38で差動対を構成している。

【0045】この場合、例えば入力電圧V_{IN}を4Vとすると、第2の差動増幅回路30の出力電圧V_{OUT2}として4Vが得られるが、第1の差動増幅回路10の出力電圧V_{OUT1}としては、N型MOSトランジスタ16よりもN型MOSトランジスタ18の能力の方が大きいため、4Vよりも低い電圧が得られ、第1、第2の実施の形態と同様にして出力電圧V_{OUT1}、V_{OUT2}間にオフセットが得られる。

【0046】上記とは逆に、第1の差動増幅回路10のN型MOSトランジスタ16及びN型MOSトランジスタ18間に能力差を設けずに、第2の差動増幅回路20のP型MOSトランジスタ36とP型MOSトランジスタ38との間にのみ能力差をつけても良い。

【0047】＜第3の実施の形態＞次に、本発明の第3の実施の形態に係る液晶表示装置の電源回路について、図4～図6をも参照に加えて説明する。

【0048】（液晶表示装置の構成及び動作）図4は、液晶表示装置の主要部の構成を示している。図4におい

て、液晶表示部例えば単純マトリックス型液晶表示部100は、コモン電極C0～C_mが形成された第1の基板と、セグメント電極S0～S_nが形成された第2の基板との間に、液晶を封止することで形成されている。コモン電極の一本とセグメント電極の一本とが交差する交点が表示画素となり、液晶表示部100には(m+1)×(n+1)の表示画素が存在する。

【0049】なお、第2の実施の形態に係る液晶表示装置は、単純マトリックス液晶表示部100に代えて、アクティブマトリックス型液晶表示装置など、他の液晶表示部を用いることもできる。

【0050】コモン電極C0～C_mにはコモンドライバ102が接続され、セグメント電極S0～S_nにはセグメントドライバ104が接続されている。これらコモンドライバ102、セグメントドライバ104は、電源回路106から所定の電圧が供給されると共に、駆動制御回路108からの信号に基づいて、その所定の電圧をコモン電極C0～C_mまたはセグメント電極S0～S_nに選択的に供給するものである。

【0051】ここで、図4に示す液晶表示部100のコモン電極C3を選択するフレーム期間の駆動波形の一例を図5に示す。

【0052】図5において、太線はコモンドライバ102より各コモン電極C0～C_mに供給される駆動波形であり、細線はセグメントドライバ104より各セグメント電極S0～S_nに供給される駆動波形を示している。

【0053】図5に示すように、コモンドライバ102から供給される駆動波形は、電圧V0、V1、V4、V5の間で変化する。一方、セグメントドライバ104から供給される駆動波形は、電圧V0、V2、V3、V5の間で変化する。

【0054】（電源回路の構成）図6は、図4に示す電源回路106の詳細を示している。図6に示すように、スイッチSW1～SW6のいずれか2つをオンすることで、コモンドライバ102に供給される電圧V0、V1、V4、V5の一つと、セグメントドライバ104に供給される電圧V0、V2、V3、V5の一つとを選択できる。

【0055】ここで、電圧V5には電源電圧V_{DD}を、電圧V0には電源電圧V_{SS}をそれぞれ用い、電圧V4～V1は、電圧(V5-V0)を抵抗分割することで生成している。このために、電源回路106は、抵抗分割回路110と、4つの差動増幅装置120、122、124、126とを有する。4つの差動増幅装置120～126は、抵抗分割回路110を介して、それぞれ異なるレベルの入力電圧V_{IN}が入力され、その出力電圧としてV4、V3、V2、V1をそれぞれ出力する。そして、これら4つの差動増幅装置120～126は、それぞれ図2の構成を有する。なお、図6に示す電源回路106は単独で、あるいは図4に示すコモンドライバ102及

びセグメントドライバ 104 と共に 1 チップ IC にて構成することができる。

【0056】(電源回路の動作) 図 2 を用いて既に説明した差動増幅装置の動作は、それぞれ異なる単一の入力電圧 V_{IN} に基づいて電圧 $V_1 \sim V_4$ をそれぞれ出力電圧 V_{OUT} として出力する図 6 に示す差動増幅装置 120 ~ 126 の動作にそのまま適合する。

【0057】例えば、図 6 のスイッチ SW3 がオンすると、差動増幅装置 126 の出力線は、コモンドライバ 102 を介して、液晶表示部 100 のコモン電極 C3 とショートされる。このとき、コモン電極の電圧は、極性反転駆動のため図 5 に示す通り電圧 V_5 であったため、ショートによって差動増幅装置 126 の出力電圧 V_{OUT} は電圧 V_1 よりも下降する。しかし、この出力電圧 V_{OUT} は差動増幅装置の動作によって上昇され、速やかに電圧 V_1 にて安定される。他の差動増幅装置 120 ~ 124 についても、入力電圧 V_{IN} 及び出力電圧 V_{OUT} の値が異なるだけで、上記と同様に動作する。

【0058】このように、本実施の形態に係る液晶表示装置用の電源回路 106 によれば、差動増幅装置 120 ~ 126 にそれぞれ単一の入力電圧 V_{IN} が入力されるだけで、各々の出力電圧 V_{OUT} ($V_1 \sim V_4$) を出力することができる。

【0059】ここで、図 7 に示す従来の差動増幅装置と比較すると、図 7 の従来装置にて電源電圧 V_{DD} を 5 V とした時であって、出力電圧 V_{OUT} を 4 V とするには、第 1 の入力電圧 V_{IN1} は例えば 3.95 V と設定され、第 2 の入力電圧 V_{IN2} は例えば 4.05 V と設定され、その間のオフセットは 0.1 V となる。

【0060】ところで、液晶表示装置の電源回路では、液晶駆動される表示容量によって必要とされる電圧が変わる。ここで、図 4 の液晶表示部 100 の表示画素数に応じて図 5 にて細線で示すセグメント波形のデューティが決まる。すなわち、表示画素数が多ければ図 5 に示す選択期間 T_{SEC} が短くなり、少なければ選択期間 T_{SEC} は長く確保できる。

【0061】いずれの場合にも、液晶に印加される電圧の実効値を等しく確保する必要がある。従って、図 9 に示すように、選択期間が T_{SEC1} のように長ければ印加電圧の波高値 V_{H1} は低くできるが、選択期間が T_{SEC2} のように短ければ印加電圧の波高値 V_{H2} は高くせざるを得ず、これに応じて電源電圧 V_{DD} を変更する必要がある。

【0062】ここで、図 7 に示す従来装置をそのまま用い、かつ電源電圧 V_{DD} を 5 V から 10 V に変更した場合、第 1 の入力電圧 V_{IN1} は 8.9 V に設定され、第 2 の入力電圧 V_{IN2} は 9.1 V に設定される。このときの第 1、第 2 の入力電圧 V_{IN1} 、 V_{IN2} 間のオフセットは 0.2 V となり、電源電圧 $V_{DD} = 5$ V のときのオフセット値 0.1 V の 2 倍となる。

【0063】逆に電圧 V_{DD} を 5 V よりも下げれば、

第 1、第 2 の入力電圧 V_{IN1} 、 V_{IN2} 間のオフセットは 0.1 V よりも小さくなる。

【0064】このように、抵抗分割回路を兼用してかつ電源電圧 V_{DD} を変更した場合には、その電源電圧値に応じて、図 7 の従来の差動増幅装置に入力される第 1、第 2 の入力電圧 V_{IN1} 、 V_{IN2} 間のオフセットがばらついていた。

【0065】ここで、入力電圧 V_{IN1} 、 V_{IN2} 間のオフセットが小さいほど、図 7 に示す P 型 MOS トランジスタ 202 及び N 型 MOS トランジスタ 212 に流れる電流が増えて消費電流が大きくなる。従って、図 7 に示す従来装置では、電源電圧 V_{DD} が低い時に、消費電力が大きくなるという問題があった。一方電源電圧 V_{DD} が高い時には、オフセットが大きくなるので、図 8 に示す出力電圧の振れが大きくなるという欠点が生ずる。

【0066】この点、本実施の形態によれば、第 1、第 2 の差動増幅回路 10、30 より得られる出力電圧 V_{OUT1} 、 V_{OUT2} 間のオフセットは、入力電圧 V_{IN} が単一であるため、トランジスタの能力差でオフセットがつくようになり、オフセットのばらつきが低減される。従って、本実施の形態に係る電源回路 106 は、電源電圧 V_{DD} を変更しても共用でき、汎用性が増すという利点もある。

【0067】なお、上述した差動増幅装置あるいは電源回路は、液晶表示装置を含む電子機器例えば、携帯電話、ゲーム装置、パーソナルコンピュータなどの各種電子機器の他、安定した電圧の供給を受けて動作する他の種々の電子機器に適用できることは言うまでもない。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係る差動増幅装置の概略回路図である。

【図 2】図 2 に示す差動増幅装置の詳細な回路図である。

【図 3】図 2 に示す差動増幅装置の出力電圧 V_{OUT} の説明図である。

【図 4】本発明の第 3 の実施の形態に係る液晶表示装置の概略説明図である。

【図 5】図 4 に示す液晶表示装置の駆動波形を示す波形図である。

【図 6】図 4 に示す液晶表示装置に用いられる電源回路の回路図である。

【図 7】2 種の電圧を入力させる従来の差動増幅装置の回路図である。

【図 8】図 7 に示す従来装置の出力電圧 V_{OUT} の説明図である。

【図 9】液晶に印加される電圧の実効値が同じとなる異なる印加電圧波形を示す波形図である。

【符号の説明】

10 第 1 の差動増幅回路

12 P 型 MOS トランジスタ (第 1 の第 1 導電型トラ

ンジスタ)

14 P型MOSトランジスタ (第2の第1導電型トランジスタ)

16 N型MOSトランジスタ (第4の第2導電型トランジスタ)

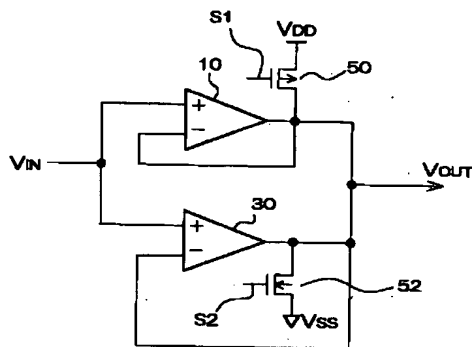
18 N型MOSトランジスタ (第5の第2導電型トランジスタ)

30 第2の差動増幅回路

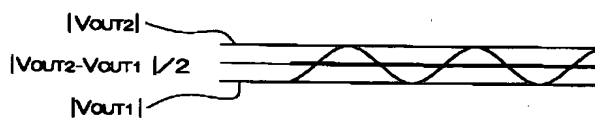
32 N型MOSトランジスタ (第1の第2導電型トランジスタ)

34 N型MOSトランジスタ (第2の第2導電型トランジスタ)

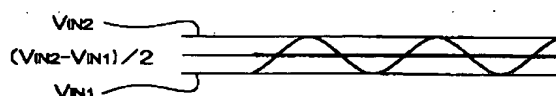
【図1】



【図3】



【図8】



36 P型MOSトランジスタ (第4の第1導電型トランジスタ)

38 P型MOSトランジスタ (第5の第1導電型トランジスタ)

50 P型MOSトランジスタ (第3の第1導電型トランジスタ)

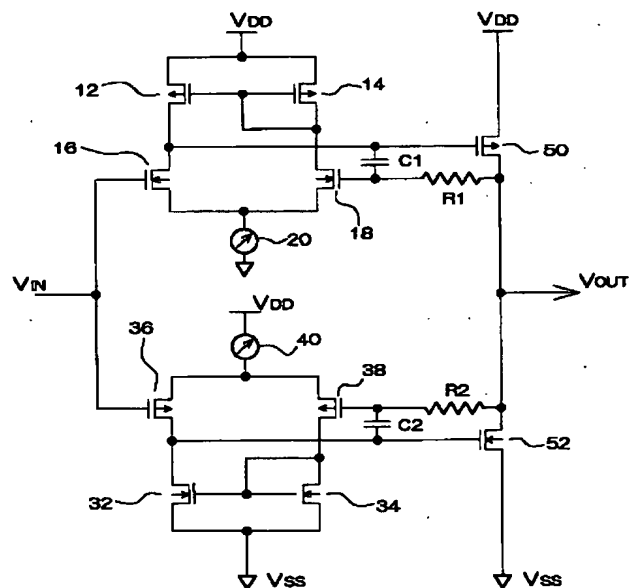
52 N型MOSトランジスタ (第3の第2導電型トランジスタ)

106 電源回路

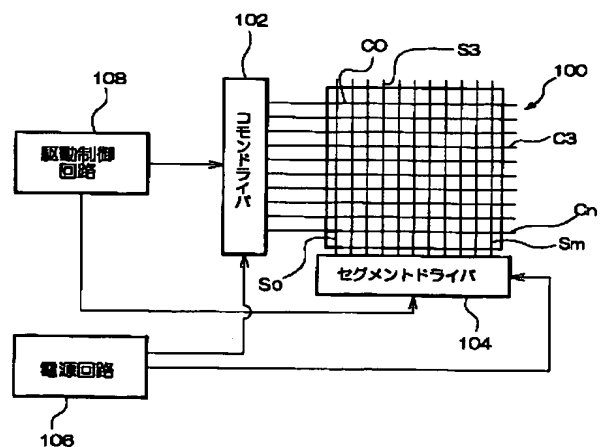
110 抵抗分割回路

120, 122, 124, 126 差動増幅装置

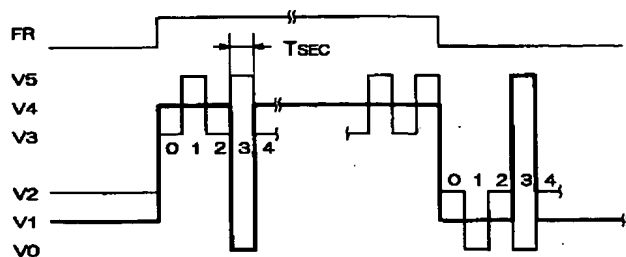
【図2】



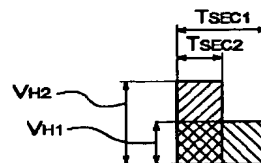
【図4】



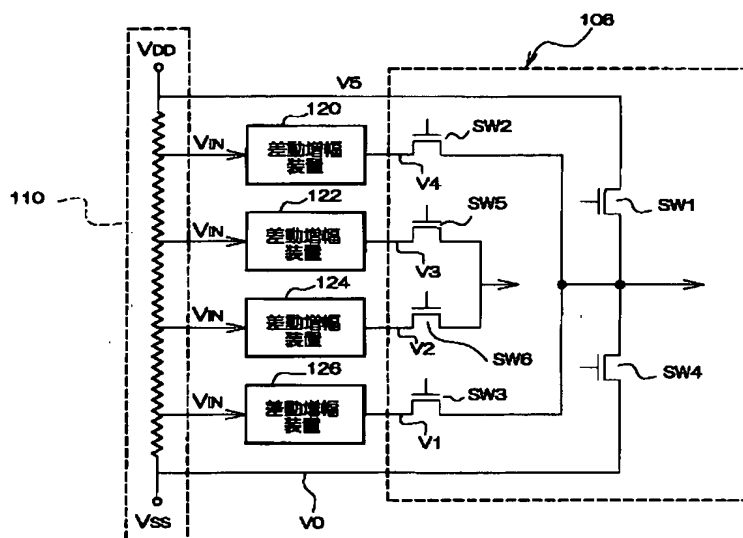
【図 5】



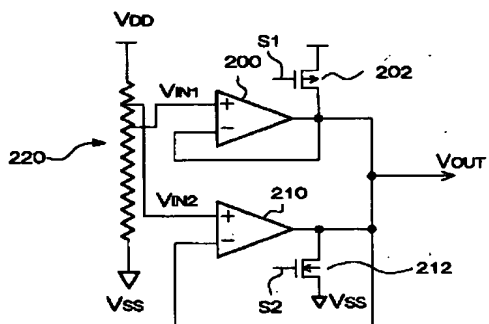
【図 9】



【図 6】



【図 7】



【手続補正書】

【提出日】平成13年2月16日（2001. 2. 16）

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 第 1 の差動対を有し、共通入力電圧に基づいて動作する第 1 の差動増幅回路と、

第2の差動対を有し、前記共通入力電圧に基づいて動作する第2の差動増幅回路と、
を有し、

前記第1の差動対及び前記第2の差動対の少なくとも一方は、能力差を有する一対のトランジスタを有することを特徴とする差動増幅装置。

【請求項2】 請求項1において、
前記第1の差動増幅回路に設けられ、第1の第1導電型トランジスタと第2の第1導電型トランジスタとで構成される第1のカレントミラー回路と、
前記第2の差動増幅回路に設けられ、第1の第2導電型トランジスタと第2の第2導電型トランジスタとで構成される第2のカレントミラー回路と、

前記第1の差動増幅器からの第1の信号に基づいて動作する第3の第1導電型トランジスタと、
前記第3の第1導電型トランジスタと直列接続され、前記第2の差動増幅回路からの第2の信号に基づいて動作する第3の第2導電型トランジスタと、
を有し、前記第3の第1導電型トランジスタと前記第3の第2導電型トランジスタとの間の電圧を出力電圧とすることを特徴とする差動増幅装置。

【請求項3】 請求項2において、
前記第1の差動増幅回路は、
前記第1の第1導電型トランジスタと直列に接続される第4の第2導電型トランジスタと、
前記第2の第1導電型トランジスタと直列に接続され、前記第4の第2導電型トランジスタとは能力の異なる第5の第2導電型トランジスタと、
を有し、前記第4、第5の第2導電型トランジスタにて前記第1の差動対を構成することを特徴とする差動増幅装置。

【請求項4】 請求項3において、
前記第1の差動増幅回路では、前記第5の第2導電型トランジスタの能力が前記第4の第2導電型トランジスタよりも大きく設定されていることを特徴とする差動増幅装置。

【請求項5】 請求項2乃至4のいずれかにおいて、
前記第2の差動増幅回路は、
前記第1の第2導電型トランジスタと直列に接続される第4の第1導電型トランジスタと、
前記第2の第2導電型トランジスタと直列に接続され、前記第4の第1導電型トランジスタとは能力の異なる第5の第1導電型トランジスタと、
を有し、前記第4、第5の第1導電型トランジスタにて前記第2の差動対を構成することを特徴とする差動増幅装置。

【請求項6】 請求項5において、
前記第2の差動増幅回路では、前記第5の第1導電型トランジスタの能力が前記第4の第1導電型トランジスタよりも大きく設定されていることを特徴とする差動増幅

装置。

【請求項7】 請求項1乃至6のいずれかに記載の差動増幅装置を有することを特徴とする半導体装置。

【請求項8】 請求項1乃至6のいずれかに記載の差動増幅装置を有することを特徴とする電源回路。

【請求項9】 請求項8に記載の電源回路を有することを特徴とする電子機器。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】

【課題を解決するための手段】本発明の一態様は、第1の差動対を有し、共通入力電圧に基づいて動作する第1の差動増幅回路と、第2の差動対を有し、前記共通入力電圧に基づいて動作する第2の差動増幅回路と、を有し、前記第1の差動対及び前記第2の差動対の少なくとも一方は、能力差を有する一対のトランジスタを有することを特徴とする。ここで、第1の差動増幅回路は、第1の第1導電型トランジスタと、前記第1の第1導電型トランジスタと共にカレントミラー回路を構成する第2の第1導電型トランジスタとを含む。第2の差動増幅回路は、第1の第2導電型トランジスタと、前記第1の第2導電型トランジスタと共にカレントミラー回路を構成する第2の第2導電型トランジスタとを含む。さらには、前記第1の差動増幅器からの第1の信号に基づいて動作する第3の第1導電型トランジスタと、前記第3の第1導電型トランジスタと直列接続され、前記第2の差動増幅回路からの第2の信号に基づいて動作する第3の第2導電型トランジスタとを有し、前記第3の第1導電型トランジスタと前記第3の第2導電型トランジスタとの間の電圧を出力電圧とする。前記第1の差動増幅回路は、前記第1の第1導電型トランジスタと直列に接続される第4の第2導電型トランジスタと、前記第2の第1導電型トランジスタと直列に接続され、前記第4の第2導電型トランジスタとは能力の異なる第5の第2導電型トランジスタと、を有することを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】第1の差動増幅回路では、第1の差動対を構成する第4、第5の第2導電型トランジスタ間に能力差がある。このため、第1、第2の差動増幅回路の入力電圧にオフセットを設けなくても、差動対を構成するトランジスタ間に能力差のない第2の差動増幅回路からの出力電圧に対してオフセットのある出力電圧を第1の差動増幅回路にて生成でき、結果として入力電圧間にオフ

セットのある場合と同様に動作させることができる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】第1の差動増幅回路10は、図2に示すように、第1導電型例えばP型のMOSトランジスタ（第1のP型トランジスタ）12と、P型MOSトランジスタ12と共にカレントミラーを構成するP型MOSトランジスタ（第2のP型トランジスタ）14とを含む。これらP型MOSトランジスタ12、14は、サイズが同一で同一能力を有するため、第1のカレントミラー回路を構成する。一例として、P型MOSトランジスタ12、14は、そのチャネル幅 w が $50\mu\text{m}$ であり、チャネル長 L が $7\mu\text{m}$ である。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】第2の差動増幅回路30は、第2導電型例えばN型のMOSトランジスタ（第1のN型トランジスタ）32と、N型MOSトランジスタ32と共にカレントミラーを構成するN型MOSトランジスタ（第2のN型トランジスタ）34とを含む。これらN型MOSトランジスタ32、34も、サイズが同一で同一能力を有するため、第2のカレントミラー回路を構成する。一例として、N型MOSトランジスタ32、34は、そのチャネル幅 W は $25\mu\text{m}$ であり、チャネル長 L は $7\mu\text{m}$ である。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】N型MOSトランジスタ16、18は、サイズが異なることで能力差を有する第1の差動対である。一例として、N型MOSトランジスタ16、18は、チャネル長 L は $7\mu\text{m}$ と共通するが、N型MOSトランジスタ16のチャネル幅 W は $25\mu\text{m}$ であるのに対して、N型MOSトランジスタ18のチャネル幅 W は $28\mu\text{m}$ となっている。すなわち、N型MOSトランジスタ18の方がN型MOSトランジスタ16よりも能力が大きい。N型MOSトランジスタ18の能力をN型MOSトランジスタ16よりも大きくするために、N型MOSトランジスタ18のゲート長をN型MOSトランジスタ16よりも小さくしても良い。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】第2の差動増幅回路30も同様に、電源電圧 V_{DD} 、 V_{SS} 間にてN型MOSトランジスタ32に直列接続されたP型MOSトランジスタ36（第4のP型トランジスタ）と、電源電圧 V_{DD} 、 V_{SS} 間にてN型MOSトランジスタ34に直列接続されたP型MOSトランジスタ38（第5のP型トランジスタ）とを第2の差動対として有する。なお、P型MOSトランジスタ36、38は定電流源40を介して電源電圧 V_{DD} と接続されている。

フロントページの続き

Fターム(参考) 5J066 AA01 AA12 AA58 CA04 CA13
 FA16 HA10 HA16 HA17 HA25
 HA29 KA00 KA02 KA05 KA09
 MA05 MA22 ND01 ND14 ND22
 ND23 PD01 SA08 TA01 TA06
 5J091 AA01 AA12 AA58 CA04 CA13
 FA16 HA10 HA16 HA17 HA25
 HA29 KA00 KA02 KA05 KA09
 MA05 MA22 SA08 TA01 TA06